

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. G02F 1/136	(11) 공개번호 (43) 공개일자	특2001-0015071 2001년02월26일
(21) 출원번호	10-2000-0035625	
(22) 출원일자	2000년06월27일	
(30) 우선권주장	11-188779 1999년07월02일 일본(JP)	
(71) 출원인	샤프 가부시기가이샤, 마찌다 가즈히코 일본 000-000 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고 우에다토루 일본 일본히로시마후쿠야마시미나미자오쵸5-11-22	
(72) 발명자	백덕열 이태희	
(74) 대리인	없음	
(77) 심사청구	없음	
(54) 출원명	액정 표시장치 및 그 제조방법	

요약

본 발명은 부가용량의 용량값 차이가 적고 표시 품질이 높은 액정 표시장치 및 그 제조방법을 제공하기 위한 것이다.

본 발명의 액정 표시장치의 부가용량(10)은 절연성 기판(11) 상에 형성된 제 1 도전층(12)과, 제 1 도전층(12) 상에 형성되고 제 1 도전층(12)의 일부를 노출시키는 개구부(14)를 갖는 제 1 절연층(13)과, 적어도 개구부(14) 내에 위치하는 제 1 도전층(12) 상에 형성된 제 2 도전층(17a)과, 제 2 도전층(17a)을 피복하는 제 2 절연층(18)과, 적어도 개구부(14) 내에 위치하는 제 2 절연층(18)을 피복하는 제 3 도전층(19a)으로 형성된다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 TFT-LCD(100)의 모식적 단면도.

도 2a는 TFT-LCD(100)의 1 회소(繪素) 부분의 모식적 상면도.

도 2b는 비교 예의 TFT-LCD 1 회소 부분의 모식적 상면도.

도 3a는 TFT-LCD(100)의 제조공정을 나타내는 단면도.

도 3b는 TFT-LCD(100)의 다른 제조공정을 나타내는 단면도.

도 3c는 TFT-LCD(100)의 또 다른 제조공정을 나타내는 단면도.

도 3d는 TFT-LCD(100)의 또 다른 제조공정을 나타내는 단면도.

도 3e는 TFT-LCD(100)의 또 다른 제조공정을 나타내는 단면도.

도 3f는 TFT-LCD(100)의 또 다른 제조공정을 나타내는 단면도.

도 3g는 TFT-LCD(100)의 또 다른 제조공정을 나타내는 단면도.

도 4a는 본 발명의 제 2 실시예에 따른 TFT-LCD(200)의 부가용량 및 TFT를 포함하는 부분의 모식적 단면도.

도 4b는 본 발명의 제 2 실시예에 따른 TFT-LCD(200)의 제 1 도전층(12a)과 제 3 도전층(19a)의 접속부의 모식적 단면도.

도 5는 본 발명의 제 2 실시예에 따른 TFT-LCD(200)의 1 회소 부분 및 도 4b에 도시한 접속부의 모식적 상면도.

도 6은 TFT형 액정 표시장치의 1 회소의 등가회로를 나타내는 도면.

도 7은 종래 TFT 액정 표시장치의 TFT 및 부가용량을 형성하는 공정을 나타내는 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 부가용량 11, 31 : 절연성 기판
 12 : 제 1 도전층 13 : 제 1 절연층
 14 : 개구부(홀 또는 트렌치) 15 : 회소 전극
 17a : 제 2 도전층 17b : 소스
 17b' : 드레인 17c : 채널
 18a : 제 2 절연층 18b : 게이트 절연층
 19a : 제 3 도전층 19b : 게이트 전극
 20 : TFT 22 : 절연층
 23a, 23b, 27 : 콘택트홀 24a : 소스 전극
 24b : 드레인 전극 26 : 보호 절연층
 35 : 대향 전극(공통 전극) 50, 100b : 대향 기판
 60 : 액정층 100, 200 : TFT-LCD
 100a : TFT 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시장치 및 그 제조방법에 관하며, 특히 박막 트랜지스터를 갖는 액티브 매트릭스형 액정 표시장치 및 그 제조방법에 관한 것이다.

최근, 액티브 매트릭스형 액정 표시장치는 퍼스널 컴퓨터의 표시장치, 슬림형 TV, 비디오 촬상장치나 디지털 카메라의 표시장치 등으로서 널리 이용되고 있다. 액티브 매트릭스형 액정 표시장치 중, 능동 소자로서 박막 트랜지스터를 갖는 것(이하 'TFT형 액정 표시장치'로 칭함)의 1 회소 등가회로를 도 6에 도시한다. 회소(회소 영역)가 매트릭스 상으로 배치된 영역이 표시영역을 구성한다.

TFT형 액정 표시장치는 회소마다, 박막 트랜지스터(이하 'TFT'로 칭함)와, TFT의 드레인(D)에 접속된 액정용량(C_{LC}) 및 부가용량(C_s)을 갖는다. 액정용량(C_{LC}) 및 부가용량(C_s)을 합하여 회소용량(C_{pix})이라 부른다. TFT의 게이트(G)에는 게이트 배선(주사 배선)이 접속되고, 소스(S)에는 소스 배선(신호 배선)이 접속된다. 게이트(G)에 주사 신호가 인가되는 기간(1 주사 기간)에, 소스 배선으로부터 TFT 소스(S)에 인가된 신호 전압이 액정용량(C_{LC})의 드레인측 전극 및 부가용량(C_s)의 드레인측 전극(각각, '회소 전극' 및 '부가용량 전극'이라 부름)에 인가된다. 한편 액정용량(C_{LC})의 다른쪽 전극 및 부가용량(C_s)의 다른쪽 전극(각각, '대향 전극' 및 '부가용량 대향 전극'이라 부름)에는 대향 전극 및 부가용량 대향 전극선(공통 배선)(COM)을 거쳐 소정의 대향 전압(공통 전압)이 인가된다. TFT 기판에 형성되는 부가용량 대향 전극선(COM)은 대향 기판에 형성된 대향 전극에 전기적으로 접속된다. 액정용량(C_{LC})에 인가되는 실질적인 전압은 신호 전압과 대향 전압의 차이이다. 이 전압의 크기에 따라 액정의 배향 상태가 변화함으로써 신호전압에 대응하는 표시상태가 얻어진다.

게이트(G)에 주사 신호가 인가되지 않는 기간(즉 다른 게이트 배선에 접속된 TFT가 선택된 기간)에는 액정용량(C_{LC}) 및 부가용량(C_s)은 TFT에 의하여 소스 배선과는 전기적으로 절연된다. 주목한 TFT가 다음에 선택될 때까지 액정용량(C_{LC}) 및 부가용량(C_s)은 먼저 인가된 전압을 유지함으로써 소정의 표시상태를 유지한다. 그 동안, TFT 및 회소용량(C_{pix})의 전압 유지 특성이 낮으면 표시 품질의 저하를 초래한다.

원하는 전압 유지 특성을 얻기 위하여 비교적 큰 용량값을 갖는 부가용량(C_s)을 필요로 할 경우가 있다. 부가용량(C_s)의 용량을 크게 하기 위하여 부가용량 전극 및 부가용량 대향 전극의 면적을 크게 하면, 이들 전극은 일반적으로 불투명한 재료를 사용하여 형성되므로 투과형 액정 표시장치의 개구율의 저하를 초래한다.

일특개평 5-61071호 공보는 회소부에, 용량이 큰 부가용량을 갖는 TFT형 액정 표시장치를 개시하였다. 상기 공보에 개시된 액정 표시장치의 TFT 및 부가용량을 형성하는 공정을 나타내는 단면도를 도 7에 도시한다.

상기 공보에 의하면 개구율 저하를 억제하기 위하여, TFT가 형성되는 절연기판(121)의 표면에 홀부(트렌치)(122)를 형성하고, 이 홀부(122)에 부가용량(용량성분)을 형성한다. 그리고 TFT의 반도체층과 동일 공정으로 일체화시켜 형성된 제 1 전극(123)과, TFT의 게이트 전극과 동일 재료로 형성된 제 2 전극(126a)과, TFT의 게이트 절연층과 동일 재료로 형성된 절연막(124a 및 125a)으로 부가용량을 형성함으로써 구조 및 제조 공정을 간략화하였다.

도 7a 내지 도 7c에 나타난 TFT 및 부가용량 부분을 포함하는 TFT 기판은 이하의 공정으로 제작된다.

(1) 석영기판(121)의 표면에 $\text{HF}:\text{NH}_4\text{F} = 1:6$ 을 에천트로 하는 습식 에칭으로 홀(122)을 형성한다.

(2) 감압 CVD법으로 막 두께 80nm의 제 1 폴리실리콘층(123)을 형성한다. 얻어진 제 1 폴리실리콘층(123)에 30keV, $1 \times 10^{15} \text{ cm}^{-2}$ 및 50keV, $1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 함께 2회의 실리콘 주입을 실시한다. 그 후, 620℃에서 고상 열처리를 한 후 제 1 폴리실리콘층(123)의 일부를 에칭으로 제거한다.

(3)제 1 폴리실리콘층(123)을 1000℃로 열산화시킴으로써 표면에 두께 50nm의 SiO₂ 막(124)을 형성한다. 산화되지 않고 남은 제 1 폴리실리콘층(123)이 최종적으로 부가용량의 제 1 전극 및 TFT 반도체층(소스, 채널, 드레인)이 된다.

(4)SiO₂ 막(124)의 TFT를 형성하는 영역을 레지스트층으로 보호한 상태에서, 30keV, 5×10^{15} cm⁻²의 조건으로, 부가용량의 제 1 전극이 되는 제 1 폴리실리콘층(123)에 비소이온(As⁺)을 주입한다.

(5)레지스트층을 제거한 후 SiO₂ 막(124)을 피복하는 두께 30nm의 SiN막(125)을 감압 CVD법으로 형성한다.

(6)전면에 감압 CVD법으로 두께 350nm의 제 2 폴리실리콘층(126)을 형성하고, PSG에 의한 저 저항화를 도모한다.

(7)CF₄/O₂ = 95/5의 가스를 사용하여 제 2 폴리실리콘층(126) 및 SiN막(125)을 패터닝함으로써 TFT의 게이트 전극(126b), 부가용량의 제 2 전극(126a), SiN 게이트 절연층(125b) 및 부가용량용 SiN(125a)이 형성된다. 다음으로 TFT의 제 1 폴리실리콘층(123)에 SiO₂ 막(124)을 개재시켜 160keV, 1×10^{13} cm⁻²의 조건으로 비소를 이온 주입하여 LDD(lightly doped drain)를 형성한다.

(8)제 2 폴리실리콘으로 형성된 게이트 전극(126b)을 피복하는 레지스트를 형성하고 비소이온을 140keV, 2×10^{15} cm⁻²의 조건으로 주입하여 n채널을 형성한다. 다음으로 레지스트층을 제거한 후, 새로 전면에 레지스트층을 형성하고, 붕소이온(B⁺)을 30keV, 2×10^{15} cm⁻²의 조건으로 주입하여 p채널을 형성한다.

(9)레지스트를 제거한 후, 감압 CVD법으로 인 규산 유리(PSG)로 이루어지는 층간절연막(131)을 형성한다.

(10)HF:NH₄F를 이용한 습식 에칭으로 층간절연막(131) 및 SiO₂ 막(124)에 제 1 콘택트홀(132)을 형성한다.

(11)다음으로 막두께 140nm의 ITO(인디움 산화물)층(129)을 400℃에서 스퍼터링법을 이용하여 형성한다. 얻어진 ITO막(129)을 HCl:H₂O:HN O₃ = 300:300:50으로 이루어지는 에천트를 이용하여 습식 에칭함으로써 ITO막(129)을 패터닝한다. 그 후, 레지스트층을 마스크 하여 HF:NH₄F를 이용한 습식 에칭으로 ITO막(129)에 제 2 콘택트홀(134)을 형성한다.

(12)스퍼터링법을 이용하여 전면에 두께 600nm의 AlSi층을 퇴적하고 H₃PO₄:H₂O = 2:10을 이용한 습식 에칭으로 AlSi층을 패터닝하여 전극(130)을 형성한다. 이어서 두께 400nm의 SiN으로 이루어지는 보호 절연막(133)을 상압 CVD법으로 형성한다. 보호 절연막(133)은 CF₄:O₂ = 95:5 가스를 이용한 플라즈마 에칭으로 패터닝된다.

발명이 이루고자 하는 기술적 과제

상기 공보에 개시된 액정 표시장치 부가용량의 용량값은 홀의 개구경과 깊이, 유전체층을 형성하는 재료의 종류(유전율), 유전체층의 두께로 결정된다. 상기 종래 기술의 부가용량을 설계대로의 용량값을 갖도록 형성하기 위하여 가장 중요한 요인은 홀 깊이의 제어이다. 이 홀은 단일 재료로 이루어지는 기판 표면을 에칭함으로써 형성되므로 홀 깊이의 제어는 에칭 시간을 제어함에 따라 이루어진다. 그러나 에칭 시간을 정확하게 제어하더라도 에칭 비율에 차이가 있으면 홀의 깊이에 차이가 생긴다. 부가용량의 용량값 차이는 액정 표시장치의 표시 품질을 저하시킨다.

용량값이 작으면 부가용량이 축적할 수 있는 전하량이 감소하므로, TFT를 흐르는 리크전류의 영향을 강하게 받아 소정 전압을 유지할 수 없게 된다. 역으로 부가용량의 용량값이 크면 충분히 충전할 수 없게 되어 부가용량 및 액정용량의 양단에 소정 전압이 인가되지 않게 된다.

본 발명은 상기 과제를 해결하기 위하여 이루어진 것으로 그 주된 목적은 부가용량의 용량값 차이가 작고, 표시 품질이 우수한 액정 표시장치 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 액정 표시장치는 절연성 기판과, 상기 절연성 기판 상에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터에 전기적으로 접속된 화소 전극 및 부가용량을 갖는 액정 표시장치로서, 상기 절연성 기판 상에 형성된 제 1 도전층과; 상기 제 1 도전층 상에 형성되고 상기 제 1 도전층의 일부를 노출시키는 개구부를 갖는 제 1 절연층과, 적어도 상기 개구부 내에 위치하는 상기 제 1 도전층 상에 형성된 제 2 도전층과, 상기 제 2 도전층을 피복하는 제 2 절연층과, 적어도 상기 개구부 내에 위치하는 상기 제 2 절연층을 피복하는 제 3 도전층을 가지며, 상기 제 2 도전층과 상기 제 2 절연층과 상기 제 3 도전층을 포함하는 적층구조로 상기 부가용량이 형성되고, 이로써 상기 목적이 달성된다.

상기 제 2 도전층은 상기 개구부 내에서 상기 제 1 도전층과 접촉하도록 형성되어도 된다.

상기 제 1 도전층과 상기 제 2 도전층 사이에 형성된 제 3 절연층을 추가로 가지며, 상기 제 1 도전층과 상기 제 2 도전층이 서로 전기적으로 절연되어도 된다.

상기 제 1 도전층과 상기 제 3 도전층은 서로 전기적으로 접속되고, 상기 제 1 도전층과 상기 제 3 절연층과 상기 제 2 도전층을 포함하는 적층구조 및 상기 제 2 도전층과 상기 제 2 절연층과 상기 제 3 도전층을 포함하는 적층구조로, 상기 부가용량이 형성되는 구성으로 하여도 된다.

상기 제 1 도전층과 상기 제 3 도전층은 표시영역 외에 위치하는 상기 제 1 절연층에 형성된 콘택트홀에서 서로 접속되는 것이 바람직하다.

적어도 상기 박막 트랜지스터의 채널과 겹치도록 형성되는 차광층을 갖고, 상기 차광층은 상기 제 1 도전층과 동일 막으로 형성되며, 또 상기 차광층과 상기 제 1 도전층은 서로 전기적으로 절연되는 구성으로 하여도 된다.

상기 박막 트랜지스터의 게이트 절연층은 상기 제 2 절연층과 동일 막으로 형성되는 것이 바람직하다.

상기 박막 트랜지스터의 채널과 소스 및 드레인은 상기 제 2 도전층과 동일 막으로 형성되는 것이 바람직하다.

상기 박막 트랜지스터의 게이트 전극은 상기 제 3 도전층과 동일 막으로 형성되는 것이 바람직하다.

본 발명의 액정 표시장치의 제조방법은 절연성 기판과, 상기 절연성 기판 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터에 전기적으로 접속된 회소 전극 및 부가용량을 갖는 액정 표시장치의 제조방법으로서, 상기 절연성 기판 상에 제 1 도전층을 형성하는 공정과, 상기 제 1 도전층 상에 제 1 절연층을 형성하는 공정과, 상기 제 1 도전층을 에칭 스톱층으로 이용하여 상기 제 1 절연층을 에칭함으로써 상기 제 1 도전층의 일부를 노출시키는 개구부를 상기 제 1 절연층에 형성하는 공정과, 적어도 상기 개구부 내의 상기 제 1 도전층 상에 제 2 도전층을 형성하는 공정과, 상기 제 2 도전층을 피복하는 제 2 절연층을 형성하는 공정과, 적어도 상기 개구부 내에 위치하는 상기 제 2 절연층을 피복하는 제 3 도전층을 형성하는 공정을 포함하며, 상기 제 2 도전층과 상기 제 2 절연층과 상기 제 3 도전층을 포함하는 적층구조로써 상기 부가용량을 형성함으로써 상기 목적이 달성된다.

상기 제 1 도전층과 상기 제 2 도전층 사이에 상기 제 1 도전층과 상기 제 2 도전층을 서로 전기적으로 절연시키는 제 3 절연층을 형성하는 공정과, 상기 제 1 도전층과 상기 제 3 도전층을 서로 전기적으로 접속하는 공정을 추가로 포함하며, 상기 제 1 도전층과 상기 제 3 절연층과 상기 제 2 도전층을 포함하는 적층구조 및 상기 제 2 도전층과 상기 제 2 절연층과 상기 제 3 도전층을 포함하는 적층구조로써 상기 부가용량을 형성하여도 된다.

이하에 본 발명의 작용을 설명하기로 한다.

본 발명의 액정 표시장치의 부가용량은 적어도 개구부(홈 또는 트렌치)에 형성된 제 2 도전층(부가용량 전극)/제 2 절연층(부가용량 유전체층)/제 3 도전층(부가용량 대향 전극)을 포함하는 적층구조로 형성된다. 부가용량은 개구부에 형성되므로 좁은 점유 면적으로 큰 용량값을 확보할 수 있다. 그리고 이 개구부는 제 1 도전층 상에 형성된 제 1 절연층 상에 형성된다. 제 1 도전층과 제 1 절연층은 다른 재료로 형성되므로 에칭에 의하여 제 1 절연층에 개구부를 형성하는 공정에서 밑바탕의 제 1 도전층을 에칭 스톱층으로서 기능시킬 수 있다. 따라서 부가용량이 형성되는 개구부의 깊이는 정확하게 제어되므로, 용량값의 차이가 현저하게 저감된 부가용량을 실현할 수 있다.

제 2 도전층은 개구부 내의 제 1 도전층에 접촉하도록 형성하여도 되고, 개구부 내의 제 1 도전층 상에 새로운 절연층을 설치하여 제 1 도전층과 제 2 도전층을 서로 절연시켜도 된다. 개구부 내의 제 1 도전층과 제 2 도전층을 새로운 절연층으로 서로 절연시킨 구성에서, 제 1 도전층과 제 3 도전층을 전기적으로 접속시킴으로써 제 2 도전층(부가용량 전극)/제 2 절연층(부가용량 유전체층)/제 3 도전층(부가용량 대향 전극)으로 형성되는 용량에 추가로, 제 1 도전층(부가용량 대향 전극)/새로운 절연층(부가용량 유전체층)/제 2 도전층(부가용량 전극)으로 형성되는 용량이 병렬로 접속된다. 따라서 단위 점유면적당의 용량값을 증가시킬 수 있다. 즉 액정 표시장치의 개구율을 한층 높일 수 있다. 제 1 도전층과 제 3 도전층의 전기적 접속을 회소 전극과 겹치지 않는 위치에서 실현함으로써 개구율의 저하를 방지할 수 있다.

제 1 도전층을 차광성을 갖는 재료를 이용하여 형성함으로써 제 1 도전층을, TFT 채널로 입사되는 광을 막는 차광층으로서 이용할 수 있다. 특히 TFT 채널이나 LDD 트랜지스터의 LDD 영역을 적어도 피복하는 차광층을 형성함으로써, TFT의 광 리크를 억제할 수 있다. 액정 표시장치의 용도에 따라, 이면에서 광학계 등으로부터의 반사광을 차광하는 구성으로 하여도 되고, 윗쪽으로부터의 직접 입사광을 차광하는 구성으로 하여도 된다.

제 1 도전층을 부가용량 대향 전극으로 이용하는 구성에서는, 부가용량 대향 전극으로서 기능하는 부분과 차광층으로서 기능하는 부분을 전기적으로 분리시켜 형성하는 것이 바람직하다. 적어도 TFT의 채널 영역을 피복하는 부분과 부가용량 대향 전극을 분리시킴으로써 부가용량 대향 전극의 전위가 TFT 채널 영역에 영향을 주는 것을 방지할 수 있으므로 TFT의 동작 특성을 안정시킬 수 있다.

또 부가용량 전극으로서 기능하는 층과 TFT의 반도체층(채널, 소스, 드레인이 형성되는 층)을 동일 막을 이용하여 형성하는 구성으로 함으로써 액정 표시장치의 제조방법을 간략화할 수 있다. 예를 들어 폴리실리콘막에 불순물 농도가 다른 영역을 형성함으로써 부가용량 전극과 TFT의 채널과 소스 및 드레인을 형성할 수 있다.

그리고 부가용량 유전체층으로서 기능하는 층과 TFT의 게이트 절연층을 동일 막으로 형성함으로써 액정 표시장치의 제조방법을 간략화할 수 있다. 또한 부가용량 대향 전극으로서 기능하는 층과 게이트 전극을 동일 막으로 형성함으로써 액정 표시장치의 제조방법을 간략화할 수 있다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

제 1 실시예

본 실시예의 TFT 액정 표시장치(이하 TFT-LCD로 칭함)(100)를 도 1 및 도 2a에 모식적으로 나타낸다. 도 1은 TFT-LCD(100)의 1회소에 대응하는 부분의 모식적 단면도이며, 도 2a는 그 상면도이다. 도 1은 도 2a 중 점선 X1-X2-X4-X4'선에 따른 단면도에 상당한다. 본 발명에 의한 TFT-LCD 등가회로는 도 6에 도시한 등가회로와 같으며, 상기 설명에서 이용한 구성요소의 명칭을 본 발명의 설명에서도 사용한다.

TFT-LCD(100)는 TFT 기판(100a)과, 대향 기판(100b)과, TFT 기판(100a)과 대향 기판(100b) 사이에 협지(挾持)된 액정층(40)을 갖는다. 일반적인 TN 모드 액정 표시장치의 경우, TFT 기판(100a) 및 대향 기판(100b)의 액정층(40)쪽의 표면에 배향막(도시 생략)이 설치되고, TFT 기판(100a) 및 대향 기판(100b) 각각의 외측에 편광판(도시 생략)이 설치된다. 표시 모드에 따라서는 배향막이나 편광판을 생략할 수 있다.

TFT 기판(100a)은 절연성 기판(11)과, 절연성 기판(11) 상에 형성된 TFT(20)와, TFT(20)에 전기적으로 접속된 회소 전극(15) 및 부가용량(10)을 갖는다.

부가용량(10)은 절연성 기판(11) 상에 형성된 제 1 도전층(12)과, 제 1 도전층(12)의 일부를 노출시키는 개구부(홈 또는 트렌치라고도 불림)(14)를 갖는 제 1 절연층(13)과, 개구부(14) 내에서 제 1 도전층(12)과 접촉하는 제 2 도전층(17a)과, 제 2 도전층(17a)을 피복하는 제 2 절연층(18)과, 적어도 개구부(14) 내에 위치하는 제 2 절연층(18)을 피복하는 제 3 도전층(19a)을 이상의 순서로 갖는 적층구조로 형성된다. 즉 부가용량(10)은 제 2 도전층(17a)으로 이루어지는 부가용량 전극과, 제 3 도전층(19a)으로 이루어지는 부가용량 대향 전극(부가용량 대향 전극선)과, 이들 전극 사이에 위치하는 제 2 절연층(18)으로 구성되는 부가용량 유전체층을 갖는다. 부가용량(10)은 도 2a 중에 사선 부분(hatching)으로 나타낸, 제 2 도전층(17)과 제 3 도전층(19a)이 겹치는 영역에 형성된다.

TFT(20)는 소스(17b)와 드레인(17b') 및 채널(17c)을 갖는 반도체층(17)과, 반도체층 상에 형성된 제 2 절연층(게이트 절연층)(18)과, 채널(17c)의 바로 위에 위치하는 제 2 절연층(18) 상에 형성된 게이트 전극(19b)을 갖는다. 게이트 전극(19b)은 게이트 배선의 일부로서 형성된다.

TFT(20) 및 부가용량(10)은 절연층(22)으로 피복된다. 절연층(22)에는 콘택트홀(23a 및 23b)이 형성되고, 각각 소스(17b) 및 드레인(17b')의 적어도 일부를 노출시킨다. 소스(17b) 및 드레인(17b')은 콘택트홀(23a 및 23b) 내에서 각각 소스 전극(24a) 및 드레인 전극(24b)에 접속된다. 이들 모두를 피복하는 보호 절연층(26)에는 드레인 전극(24b)의 일부를 노출시키는 콘택트홀(27)이 형성된다. 보호 절연층(26) 상에 형성되는 회소 전극(15)은 콘택트홀(27) 내에서 드레인 전극(24b)과 전기적으로 접속된다.

대향 기판(100b)은 절연기판(31)과, 절연기판(31) 상에 형성된 대향 전극(공통 전극)(35)을 갖는다. 필요에 따라 배향층이나 컬러 필터층(모두 도시 생략)을 설치하여도 된다.

도 6의 등가회로 중의 액정용량(C_{LC})은 회소 전극(15)과, 대향 전극(35)과, 이들 전극 사이에 형성된 액정층(40)에 의하여 형성된다. 회소 전극(15) 및 부가용량 전극(제 2 도전층)(17a)에는 TFT(20)의 드레인(17b')을 통하여 신호 전압이 인가되고, 대향 전극(35) 및 부가용량 대향 전극(19a)에는 공통 배선(도 2a 중 19a)을 통하여 공통 전압이 인가된다. 여기서 공통 배선은 접지되어도 된다.

TFT-LCD(100)의 부가용량(10)은 회소별로 TFT(20) 근방에 형성된다. 부가용량(10)은 절연층(13)에 형성된 개구부(14)에 적층된 제 2 도전층(부가용량 전극)(17a)/제 2 절연층(부가용량 유전체층)(18a)/제 3 도전층(부가용량 대향 전극)(19a)을 포함하는 적층구조로 형성되기 때문에, 좁은 정유면적(기판면에 사영된 면적)으로 큰 용량값을 확보할 수 있으므로 높은 개구율을 확보할 수 있다.

개구율의 향상 효과에 대하여, 도 2b에 도시한 개구부가 형성되지 않은 부가용량을 갖는 TFT-LCD와 비교하여 정량적으로 설명하기로 한다. 도 2b의 TFT-LCD는 제 1 절연층(13)에 개구부를 갖지 않는 점 이외는 실질적으로 도 2의 A에 도시한 TFT-LCD(100)와 같으므로 그 구성요소는 도 2a와 공통의 참조 부호를 이용하여 도시하고 상세한 설명은 생략한다.

TFT-LCD에 있어서, i_{off} (트랜지스터의 오프 전류) = 0.04pA, t_{off} (트랜지스터의 오프 시간) = 16.7msec(60Hz 구동), 초기 전압(V_{app}) = 9V로 하여, 예를 들어 99.5% 이상의 전압 유지율(프레임 기간의 전압 강하(ΔV)가 0.5% 이하)을 얻기 위해서는 $\Delta V - \{(1/2) \times i_{off} \times t_{off}\} / C_s \leq V_{app} \times (0.5/100)$ 의 관계로부터 약 30fF 이상의 부가용량값(C_s)이 필요하다는 견적을 낼 수 있다. 물론 이 조건은 TFT-LCD의 구동 방법이나 액정용량 및/또는 TFT의 소스-드레인 용량 등에 따라 변한다.

회소의 크기를 $18\mu\text{m} \times 18\mu\text{m}$, 부가용량 유전체층(산화실리콘)의 두께를 80nm로 하고, 30fF의 부가용량값(C_s)을 얻기 위하여 필요한 부가용량(10)의 기판 표면에 사영된 면적(도 2a 및 도 2b 중의 사선 부분의 면적)을 비교한다. 도 2b에 도시한 개구부 구조(트렌치 구조)를 갖지 않는 부가용량은 약 $70\mu\text{m}^2$ 의 사영 면적이 필요한 반면에, 제 1 실시예의 도 2a에 도시한 폭 $2\mu\text{m} \times$ 길이 $17\mu\text{m}$ 의 개구부(14)를 갖는 구조에서는 약 $53\mu\text{m}^2$ 의 사영 면적으로 30fF의 부가용량값을 얻을 수 있다. 개구율(도 2a 및 도 2b의 개구부(15a)(사선 부분)의 회소 전체 면적에 대한 비율)로 비교하면 도 2b 구조의 개구율이 약 42%인데 비하여 도 2a 구조의 개구율은 약 46%로 높은 개구율의 향상이 달성된다.

그리고 개구부(14)는 절연층(13)을 관통하는 구멍이며 또 절연층(13)의 아래(개구부(14)의 밑 부분)에는 도전층(12)이 형성된다. 따라서 절연층(13)에 에칭으로 개구부(14)를 형성하는 공정에서, 도전층(12)을 에칭 스톱층으로서 이용할 수 있다. 그 결과, 상술한 종래의 트렌치형 부가용량에서 층 깊이의 제어가 어려워 용량값의 차이가 생긴다는 문제가 발생하지 않는다.

또한 도전층(12)에 차광성을 갖는 재료를 이용하여 도 1에 도시한 바와 같이 TFT(20)의 하부까지 넓어지도록 형성함으로써 TFT(20)(특히 채널(17c))에 광이 입사하는 것을 방지할 수 있다. 즉 도전층(12)은 제조공정에서 에칭 스톱층으로서 기능함과 동시에 최종 제품에 있어서는 차광층으로서 기능한다.

도 1에 도시한 구조에서는 제 2 도전층(18)이 개구부(14) 내에서 제 1 도전층(12)에 접촉하지만, 제 1 도전층(12)과 제 2 도전층(18) 사이에 절연층을 설치하여 제 1 도전층(12)을 제 2 도전층(18)으로부터 전기적으로 절연시켜도 된다. 예를 들어 상술한 바와 같이 제 1 도전층(12)을 TFT(20) 차광 막으로서 이용할 경우에는, 제 1 도전층(12)의 전위가 TFT(20)의 동작에 영향을 주지 않도록 제 1 도전층(12)을 절연시키는 것이 바람직하다. 제 1 도전층(12)과 제 2 도전층(18) 사이에 절연층을 설치하는 대신에, 후술하는 제 2 실시예에서 설명하는 바와 같이 제 1 도전층(12)을 분리시켜도 된다. 여기서 제 2 도전층(18)이 개구부(14) 내에서 제 1 도전층(12)과 접촉하는 구조를 채용하는 것이 개구부(14)의 깊이를 정확하게 제어할 수 있는 이점이 있다. 즉 개구부(14) 내에 절연층을 형성하면 근근하기는 하지만 절연층 두께의 차이가 개구부(14) 깊이의 차이가 된다.

그리고 도 1에 도시한 구조를 채용하면 부가용량(10)의 부가용량 전극(17a)과 TFT(20) 반도체층(17b, 17b', 17c)을 동일 막으로 형성할 수 있다. 즉 한 장의 연속된 반도체 막의 일부 영역을 부가용량 전극(17a)으로서 이용하고, 다른 영역을 TFT(20)의 반도체층으로서 이용할 수 있다. 그리고 부가용량(10)의 유전체층(18a)과 TFT(20)의 게이트 절연층(18b)을 동일 막으로 형성할 수 있다. 또 부가용량 대향 전극(19a)과 게이트 전극(19b)을 동일 막으로 형성할 수 있다.

이하에 TFT-LCD(100)을 제조하는 방법의 예를 도 3a 내지 도 3g를 참조하면서 설명하기로 한다.

도 3a에 도시한 바와 같이 석영기판(절연성 기판)(11) 상에 두께 약 100nm의 인 도핑 폴리실리콘층(제 1 도전층)(12)을 감압 CVD법으로 퇴적한다. 얻어진 폴리실리콘층(12)을 소정 패턴으로 에칭한다.

제 1 도전층(12)을 형성하는 재료는 폴리실리콘에 한정되지 않는다. 제 1 도전층(12)을 TFT용 차광막으로서 이용하는 경우에는 W, Mo, Ti, Ta, Cr, Co, Pt, Ru, Pd, Cu 등의 금속이나 W 폴리사이드(WSix/폴리실리콘)를 비롯하여 Mo, Ti, Ta, Cr, Co, Pt, Pd 폴리사이드를 이용할 수 있다. 그리고 TiW 등의 합금 또는 TiN 등의 도전성 금속 질화물을 이용하여도 된다. 제 1 도전층(12)의 재료는 텅스트의 열처리 조건에 내열성이나 액정 표시장치의 용도 등을 고려하여 경우에 따라 적절하게 선택된다. 특히 TFT-LCD(100)를 투사형 표시장치에 이용하는 경우에는, TFT(20)에 강한 광이 조사되므로 제 1 도전층(12)의 광 투과율은 5% 이하인 것이 바람직하다. 적어도 TFT(20)의 채널(17c)을 차광하면 광 조사에 의한 TFT(20)의 리크 전류를 저감시킬 수 있다. 리크 전류를 충분히 저감시키기 위하여 TFT(20) 전체를 차광하도록 제 1 도전층(12)을 형성하여도 된다. 제 1 도전층(12)의 크기나 형상은 TFT-LCD(100)의 용도에 맞추어 적당하게 설정된다.

다음으로 도 3b에 도시한 바와 같이 감압 CVD법으로 두께 약 400nm의 SiO_2 층(13)을 퇴적한다. 얻어진 SiO_2 층(13)을 에칭함으로써 폭 $2\mu\text{m} \times$ 길이 $17\mu\text{m}$ 의 개구부(14)를 제 1 폴리실리콘층(12) 상에 형성한다. SiO_2 층(13)의 두께나 개구부(14)의 크기는 용량값이나 개구율을 고려하여 경우에 따라 적절하게 설정된다. 여기서 개구부(14)의 폭(도 3d 중의 W) 및 길이는 제 1 도전층(12) 상의 크기로 규정한다. 개구부(14)의 형성방법을 구체적으로 설명하기로 한다.

소정 패턴을 갖는 레지스트층(도시 생략)을 SiO₂ 층(13) 상에 형성한다. 이 레지스트층을 마스크로, 에칭 가스로서 CHF₃/CF₄/Ar = 8:1:12를 이용하여 SiO₂ 층(13)을 드라이 에칭한다. SiO₂와 폴리실리콘의 에칭율 비(선택비)는 약 20:1이므로, 폴리실리콘으로 이루어지는 제 1 도전층(12)은 SiO₂ 층(13)의 에칭에 대하여 양호한 에칭스톱층이 된다. 두께 400nm의 SiO₂ 층(13)에 대하여 20%의 오버 에칭을 실시하여도 제 1 폴리실리콘층(12)의 오버 에칭량은 겨우 2nm이다. 에칭율의 차이는 10% 정도이므로 오버 에칭량의 차이는 0.4nm 정도이다. 에칭 공정에서 발생하는 개구부(14) 깊이의 차이는 SiO₂ 층(13)을 퇴적하는 공정에서 발생하는 막 두께 차이(약 10%, 이 경우 약 40nm)에 비해 무시할 수 있다. 즉 에칭 공정의 차이가 개구부(14) 깊이 차이의 요인이 되지 않는다.

HF:NH₄F 등을 에칭액으로 이용하는 습식 에칭법에 의하면, SiO₂와 폴리실리콘의 선택비는 무한대로 생각할 수 있다. 따라서 에칭 공정에서 발생하는 깊이 차이는 더욱 작지만, 2차원 방향의 에칭 정밀도를 고려하면 상술한 드라이 에칭법을 이용하는 것이 바람직하다. 또한 차광성을 갖는 제 1 도전층(12)을 형성하기 위한 재료로서는 WSi/폴리실리콘(150nm/100nm) 등 실리콘사이드/폴리실리콘의 이층 구조를 이용할 수 있다. 이 경우 제 1 절연층으로서는 투명성의 관점에서 볼 때 SiO₂ 층이 바람직하나 SiN을 이용하여도 된다.

도 3c에 도시한 바와 같이 기판 전면에 두께 약 50nm의 폴리실리콘을, 예를 들어 감압 CVD법을 이용하여 퇴적하여 패턴링함으로써 폴리실리콘층(제 2 도전층)(17)을 형성한다. 폴리실리콘층(17)은 개구부(14) 내에서 제 1 도전층(12)에 접촉되어 전기적으로 접속된다. 이 폴리실리콘층(17)은 최종적으로 TFT의 반도체층(소스(17b), 드레인(17b'), 채널(17c)) 및 부가용량의 부가용량 전극(17a)이 된다.

도 3d에 도시한 바와 같이 TFT부가 형성되는 부분을 피복하는 레지스트층(16)을 마스크로 하여 폴리실리콘층(17)에 인(P)을 주입한다. 이온 주입 조건은 예를 들어 15keV, $2 \times 10^{15} / \text{cm}^2$ 이다. 개구부(14) 측벽에 형성된 폴리실리콘층(17)에 충분한 양의 이온을 주입하기 위해서는 개구부(14)가 밑이 좁은(taper) 형상을 갖는 것이 바람직하다. 테이퍼 각(θ)(제 1 도전층(12) 상면과 개구부(14) 측면이 이루는 각)은 45. $\leq \theta \leq 84$.의 범위 내에 있는 것이 바람직하다. 개구부(14) 측면에 형성된 폴리실리콘층(17)에 주입되는 인의 양은 저면에 형성된 폴리실리콘층(17)에 주입되는 인의 양의 $\cos\theta$ 배가 된다. 측면에 형성된 폴리실리콘층(17)을 충분히 저 저항화하기 위해서는 측면으로의 주입량이 저면으로의 주입량의 약 10분의 1 이상인 것이 바람직하며, θ 는 84. 이하인 것이 바람직하다. 그리고 나중의 고온 열처리(약 800°C 이상) 공정에서, 저면에 형성된 폴리실리콘층(17) 중의 불순물이 확산하여 측면에 형성된 폴리실리콘층(17)이 저 저항화되므로 θ 가 84.를 넘어도 사용할 수 있는 경우가 있다. 한편, 테이퍼 각(θ)이 지나치게 작으면 개구부(14)의 위가 지나치게 넓어져버린다(도 3d 중의 Δ). 즉 폴리실리콘층(제 2 도전층)(17)의 폭이 지나치게 넓어져버리므로 개구율이 저하된다. 개구율의 관점에서 볼 때 넓어짐(Δ)은 SiO₂ 층(제 1 절연층)(13) 두께(h) 이하, 즉 $\theta \geq 45$.인 것이 바람직하다.

도 3e에 도시한 바와 같이 제 2 도전층(17)을 피복하도록 예를 들어 CVD법을 이용하여 두께 약 80nm의 SiO₂ 막(제 2 절연층)(18)을 형성한다. 또는 미리 두께가 형성된 제 2 도전층(17)을 산화시킴으로써 제 2 절연층(18)을 형성하여도 된다. 제 2 도전층(17)을 폴리실리콘으로 형성하고 열산화시켜 산화 실리콘으로 구성되는 제 2 절연층(18)을 형성하여도 되고, 제 2 도전층(17)을 탄탈(Ta)로 형성하고 양극 산화시킴으로써 Ta₂O₅로 구성되는 제 2 절연층(18)을 형성하여도 된다. 또 제 2 절연층(18)에 SiN/SiO₂ 등으로 구성되는 적층막 또는 Ta₂O₅ 등의 고유전율막을 이용하여도 된다. 제 2 절연층(18)은 부가용량 유전체층(18a) 및 게이트 절연층(18b)으로서 기능한다.

다음으로 두께 약 300nm의 인을 도핑한 폴리실리콘층(제 3 도전층)(19)을 형성하고 패턴링함으로써 부가용량 대향 전극(19a) 및 게이트 전극(19b)이 얻어진다.

도 3f에 도시한 바와 같이 폴리실리콘층(제 3 도전층)(19)을 마스크로 하여 제 2 도전층(폴리실리콘층)(17)에 이온 주입함으로써 소스(17b) 및 드레인(17b')을 형성한다. 이 이온 주입은 예를 들어 인을 100keV, $2 \times 10^{15} / \text{cm}^2$ 조건으로 주입함으로써 실시할 수 있다. 또는 상술한 종래예와 같이 LDD 구조를 형성하여도 된다.

도 3g에 도시한 바와 같이 CVD법을 이용하여 두께 약 600nm의 SiO₂ 층(층간 절연층)을 퇴적한 후, 불순물 활성화를 위해 약 850°C에서 1시간의 열처리를 실시한다. 그 후, 제 2 도전층(17)의 소스(17b) 및 드레인(17b')에 이르는 콘택트홀(23a 및 23b)을 각각 형성한다. 다음으로 예를 들어 두께 400nm의 AlSi층(24)을 퇴적시켜, 패턴링함으로써 소스 전극(24a) 및 드레인 전극(24b)을 형성한다. 이 공정에서 소스 배선(도시 생략)을 소스 전극(24a)과 일체화시켜 형성하여도 된다.

플라즈마 CVD법을 이용하여 기판 전면을 실질적으로 피복하도록 SiN으로 이루어지는 보호 절연막(26)을 형성한다. 얻어진 보호 절연막(26)에 드레인 전극(24b)에 이르는 콘택트홀(27)을 형성한 후, ITO를 퇴적시켜 패턴링함으로써 회소 전극(15)을 형성한다.

상기의 제조방법에서의 개별 공정(막의 퇴적 공정, 이온 주입 공정이나 에칭 공정 등)은 주지의 방법으로 실시할 수 있다.

상술한 바와 같이 본 실시예의 제조방법에 의하면, 제 1 절연층(13)의 하부에 형성한 제 1 도전층(12)(당연히 제 1 절연층과는 다른 재료로 형성되므로)을, 제 1 절연층(13)에 개구부(14)를 형성하기 위한 에칭 공정의 에칭 스톱층으로 이용하므로, 에칭 깊이의 제어성이 상술한 종래예에 비해 매우 높다. 따라서 부가용량을 형성하는 개구부(14)의 깊이는 실질적으로 제 1 절연층(13)의 두께로 결정된다. 종래의, 기판 에칭 시의 차이에 비하여, 절연층을 퇴적하는 공정에서의 두께 차이는 약 10% 정도로 매우 낮다. 따라서 본 실시예의 제조방법을 이용하여 TFT-LCD를 제조함에 따라 부가용량의 용량값 차이가 작고 표시 품질이 뛰어난 LCD를 얻을 수 있다.

그리고 부가용량(10)의 부가용량 전극(17a)과 TFT(20)의 반도체층(17b, 17b', 17c)을 동일 층으로 형성할 수 있다. 또 부가용량(10)의 유전체층(18a)과 TFT(20)의 게이트 절연층(18b)을 동일 층으로 형성할 수 있다. 더욱이 부가용량 대향 전극(19a)과 게이트 전극(19b)을 동일 층으로 형성할 수 있다. 따라서 제조 프로세스를 간략화할 수 있으므로 액정 표시장치의 제조 원가를 저감시킬 수 있다.

제 2 실시예

도 4a, 도 4b 및 도 5를 참조하면서 본 실시예의 액정 표시장치(200)의 구조 및 제조방법을 설명하기로 한다. 본 실시예의 액정 표시장치(200)는 제 1 실시예의 TFT-LCD(100)와 부가용량의 구조가 다르다. 이하의 설명에서 제 1 실시예의 TFT-LCD(100)와 실질적으로 마찬가지로 기능을 갖는 구성요소를 같은 참조 부호로 나타내고 여기서는 설명을 생략한다.

도 4a는 TFT-LCD(200)의 부가용량(10a) 및 TFT(20)을 포함하는 부분의 모식적인 단면도이며, 도 5의 점선 X1-X2-X4-X4'에 따른 모식적인 단면도에 상당한다. 도 4b는 제 1 도전층과 제 3 도전층의 접속부 단면도이고, 도 5의 4B-4B'선에 따른 단면도에 상당한다. 도 5는 TFT-LCD(200)의 1회소에 대응하는 부분의 상면도이다.

TFT-LCD(200)는 TFT-LCD(100)의 제 1 도전층(12)과 제 2 도전층(17) 사이에 새로운 절연층(52)을 갖는다. 또 TFT-LCD(200)에서는 제 1 도전층(12)을 2개의 층(영역)(12a 및 12b)으로 분리한다. 제 1 도전층(12a)은 부가용량(10a)의 부가용량 대향 전극으로서 기능하고, 제 1 도전층(12b)은 TFT(20)의 차광층으로서 기능한다. 이들은 제 1 실시예와 마찬가지로 하여 단일 제 1 도전층(12)을 형성한 후, 패터닝함으로써 서로 분리된 층(도전층(12a) 및 차광층(12b))으로서 형성된다.

적어도 TFT(20)의 채널 영역을 피복하는 차광층(12b)과 부가용량 대향 전극으로서 기능하는 도전층(12a)을 분리함으로써 부가용량 대향 전극의 전위가 TFT의 채널 영역에 영향을 주는 것을 방지할 수 있으므로 TFT의 동작 특성을 안정시킬 수 있다. 그러나 제 1 도전층(12)에 강력한 광이 입사되지 않는 경우에는 제 1 실시예의 TFT-LCD(100)와 마찬가지로 일체화시켜 형성해도 된다.

절연층(52)은 개구부(14) 내에 노출된 제 1 도전층(12a)을 피복하여 제 1 도전층(12a)과 제 2 도전층(17)을 서로 절연시킨다. 제 1 도전층(12a)은 제 3 도전층과 전기적으로 접속되어(도 4b 참조), 제 1 도전층(12a)에는 대향 전압(공통 전압)이 인가된다. 따라서 절연층(52)은 부가용량(10a)의 유전체층으로서 기능한다.

절연층(52)은 제 1 실시예의 TFT-LCD(100) 제조방법에서의 도 3b에 나타낸 공정과 도 3c에 나타낸 공정 사이에, 예를 들어 감압 CVD법으로 기판의 거의 전면에 약 80nm의 SiO_2 를 퇴적시킴으로써 형성할 수 있다. 또는 개구부(14)에 노출된 제 1 폴리실리콘층(17)의 표면을 산화시킴으로써 형성할 수 있다. 또 절연층(52)에 SiN/SiO_2 등으로 이루어지는 적층막 또는 Ta_2O_5 등의 고유전율막을 사용해도 된다. 절연층(52)은 부가용량(10a)의 유전체층으로서 기능하면 되므로, 제 1 도전층(12a)과 제 2 도전층(17a) 사이, 즉 개구부(14) 내에 노출된 제 1 도전층(12a) 상에만 형성해도 된다.

제 1 도전층(12a)과 제 3 도전층(19a)은 도 5에 도시한 바와 같이, 표시 영역 밖에서 서로 접속되는 것이 개구부의 관점에서 볼 때 바람직하다. 제 1 도전층(12a)과 제 3 도전층(19a)의 전기적 접속은 예를 들어 도 4b에 도시한 구성으로 실현된다. 절연층(22)에 제 3 도전층(19a)을 노출시키는 콘택트홀(54) 및 제 1 도전층(12a)을 노출시키는 콘택트홀(56)을 형성한다. 각각의 콘택트홀(54 및 56)에 있어서, 제 1 도전층(12a) 및 제 3 도전층(19a)의 각각과 접속하는 전극층(24c)을 형성함으로써 제 1 도전층(12a)과 제 3 도전층(19a)이 서로 전기적으로 접속된다. 콘택트홀(54 및 56)의 형성은 예를 들어 제 1 실시예에 대하여 도 3g를 참조하면서 설명한 콘택트홀(23a 및 23b)을 형성하는 공정으로 실시할 수 있다. 또한 전극층(24c)은 마찬가지로 도 3g를 참조하면서 설명한 소스 전극(24a) 및 드레인 전극(24b)을 형성하는 공정으로 실시할 수 있다. 여기서 전극층(24c)은 소스 전극(24a) 및 드레인 전극(24b)으로부터 분리되고 전극층(24c)에는 대향 전압이 인가된다.

TFT-LCD(200)의 부가용량(10a)은 제 1 도전층(제 1 부가용량 대향 전극)(12a)/절연층(제 1 부가용량 유전체층)(52)/제 2 도전층(부가용량 전극)(17a)/제 2 절연층(제 2 부가용량 유전체층)(18a)/제 3 도전층(제 2 부가용량 대향 전극)(19a)을 포함하는 적층구조로 형성된다. 즉 부가용량(10a)은 제 1 도전층(제 1 부가용량 대향 전극)(12a)/절연층(제 1 부가용량 유전체층)(52)/제 2 도전층(부가용량 전극)(17a)으로 형성되는 용량과, 제 2 도전층(부가용량 전극)(17a)/제 2 절연층(제 2 부가용량 유전체층)(18a)/제 3 도전층(제 2 부가용량 대향 전극)(19a)으로 형성되는 용량이 병렬로 접속된 용량이다. 따라서 제 1 실시예의 TFT-LCD(100)가 갖는 부가용량(10)의 구조에 비해 더욱 좁은 점유 면적으로 같은 용량값의 부가용량을 형성할 수 있다.

회소의 크기를 $18\mu\text{m} \times 18\mu\text{m}$, 제 1 및 제 2 부가용량 유전체층(산화실리콘)의 두께를 각각 80nm로 하고, 30fF의 부가용량값(Cs)을 얻기 위하여 필요한 부가용량(10)의 기판 표면에 사영한 면적(도 5 및 도 2b 중의 사선 부분의 면적)을 비교한다. 도 2b에 도시한 개구부 구조(트렌치 구조)를 갖지 않는 부가용량은 약 $70\mu\text{m}^2$ 의 사영 면적이 필요한 데 반해, 제 2 실시예의 도 5에 도시한, 폭 $1\mu\text{m} \times$ 길이 $17\mu\text{m}$ 의 개구부(14)를 갖고 또 2개의 용량을 병렬로 접속한 구조에서는 약 $36\mu\text{m}^2$ 의 사영 면적으로 30fF의 부가용량값을 얻을 수 있다. 개구율(도 5 및 도 2b 중의 개구부(15a)(사선 부분)의 회소 전체 면적에 대한 비율)로 비교하면, 도 2b 구조의 개구율이 약 42%인 것에 비해 도 5 구조의 개구율은 약 51%이다. 이와 같이 제 2 실시예에 의하면 제 1 실시예의 효과에 추가로 새로운 고 개구율화가 달성된다.

상기 제 1 및 제 2 실시예에서 설명한 바와 같이 본 발명에 의하면 액정 표시장치의 개구율을 향상시키고 동시에 부가용량의 용량값 차이를 저감시킬 수 있다. 특히 폴리실리콘을 반도체층에 이용한 소형, 고밀도, 고정세(高精細)의 TFT 액정 표시장치에 있어서, 본 발명은 현저한 효과를 보인다. 특히 제 1 도전층을 차광층으로서 이용하는 구성은 강력한 광이 조사되는 투사형 액정 표시장치에 매우 적합하게 이용된다.

발명의 효과

본 발명에 의하면 작은 점유 면적으로도 큰 용량값을 확보할 수 있으며 더욱이 용량값의 차이가 현저하게 저감된 부가용량을 실현할 수 있다. 이에 따라 높은 개구율(밝음), 고화질의 액정 표시장치를 제공할 수 있다.

또 본 발명의 액정 표시장치는 간단하고 간소한 구성이기 때문에 제조공정을 간략화할 수 있으므로, 고화질의 액정 표시장치를 낮은 원가로 제품 수율이 좋게 제조할 수 있다. 본 발명에 의한 액정 표시장치는 TFT 반도체층에 폴리실리콘을 이용한 비교적 소형이며 고정세의 액정 표시장치에 적합하게 적용된다.

(57) 청구의 범위

청구항 1.

절연성 기판과, 상기 절연성 기판 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터에 전기적으로 접속된 회소 전극 및 부가용량을 갖는 액정 표시장치에 있어서,

상기 절연성 기판 상에 형성된 제 1 도전층과,

상기 제 1 도전층 상에 형성되고 상기 제 1 도전층의 일부를 노출시키는 개구부를 갖는 제 1 절연층과,

적어도 상기 개구부 내에 위치하는 상기 제 1 도전층 상에 형성된 제 2 도전층과,

상기 제 2 도전층을 피복하는 제 2 절연층과,

적어도 상기 개구부 내에 위치하는 상기 제 2 절연층을 피복하는 제 3 도전층을 가지며,

상기 제 2 도전층과, 상기 제 2 절연층과, 상기 제 3 도전층을 포함하는 적층구조로 상기 부가용량이 형성되는 것을 특징으로 하는 액정 표시장치

청구항 2.

제 1항에 있어서,

상기 제 2 도전층은 상기 개구부 내에서 상기 제 1 도전층과 접촉하도록 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 3.

제 1항에 있어서,

상기 제 1 도전층과 상기 제 2 도전층 사이에 형성된 제 3 절연층을 추가로 가지며, 상기 제 1 도전층과 상기 제 2 도전층이 서로 전기적으로 절연되는 것을 특징으로 하는 액정 표시장치.

청구항 4.

제 3항에 있어서,

상기 제 1 도전층과 상기 제 3 도전층은 서로 전기적으로 접속되고, 상기 제 1 도전층과 상기 제 3 절연층과 상기 제 2 도전층을 포함하는 적층구조 및 상기 제 2 도전층과 상기 제 2 절연층과 상기 제 3 도전층을 포함하는 적층구조로 상기 부가용량이 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 5.

제 4항에 있어서,

상기 제 1 도전층과 상기 제 3 도전층은 표시영역 외에 위치하는 상기 제 1 절연층에 형성된 콘택트홀에서 서로 접속되는 것을 특징으로 하는 액정 표시장치.

청구항 6.

제 1항 내지 제 5항 중 어느 한 항에 있어서,

적어도 상기 박막 트랜지스터의 채널과 겹치도록 형성되는 차광층을 갖고,

상기 차광층은 상기 제 1 도전층과 동일 막으로 형성되며, 또 상기 차광층과 상기 제 1 도전층은 서로 전기적으로 절연되는 것을 특징으로 하는 액정 표시장치.

청구항 7.

제 1항에 있어서,

상기 박막 트랜지스터의 게이트 절연층은 상기 제 2 절연층과 동일 막으로 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 8.

제 1항에 있어서,

상기 박막 트랜지스터의 채널과 소스 및 드레인용 상기 제 2 도전층과 동일 막으로 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 9.

제 1항에 있어서,

상기 박막 트랜지스터의 게이트 전극은 상기 제 3 도전층과 동일 막으로 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 10.

절연성 기판과, 상기 절연성 기판 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터에 전기적으로 접속된 회소 전극 및 부가용량을 갖는 액정 표시장치의 제조방법에 있어서,

상기 절연성 기판 상에 제 1 도전층을 형성하는 공정과,

상기 제 1 도전층 상에 제 1 절연층을 형성하는 공정과,

상기 제 1 도전층을 에칭 스톱층으로 이용하여 상기 제 1 절연층을 에칭함으로써 상기 제 1 도전층의 일부를 노출시키는 개구부를 상기 제 1 절연층에 형성하는 공정과,

적어도 상기 개구부 내의 상기 제 1 도전층 상에 제 2 도전층을 형성하는 공정과,

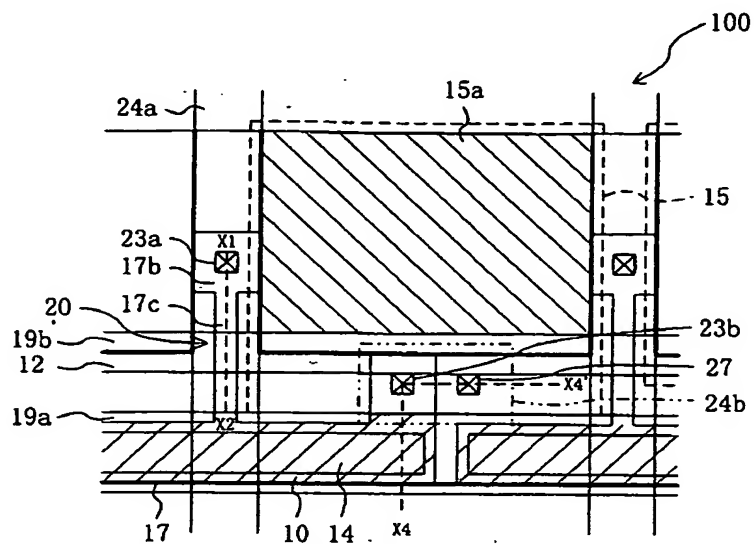
상기 제 2 도전층을 피복하는 제 2 절연층을 형성하는 공정과,

적어도 상기 개구부 내에 위치하는 상기 제 2 절연층을 피복하는 제 3 도전층을 형성하는 공정을 포함하며,

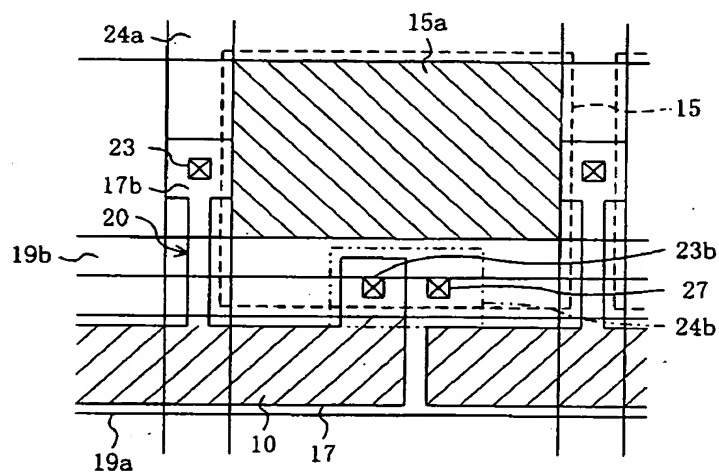
상기 제 2 도전층과 상기 제 2 절연층과 상기 제 3 도전층을 포함하는 적층구조로써 상기 부가용량을 형성하는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 11.

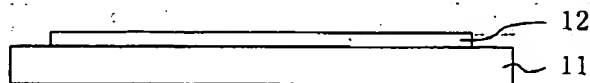
도면 2a



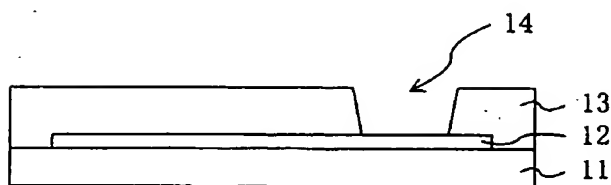
도면 2b



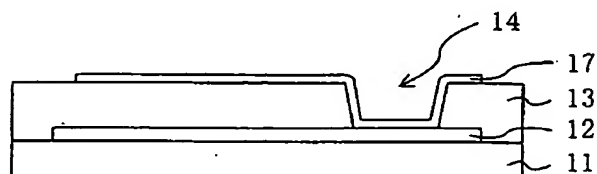
도면: 3a

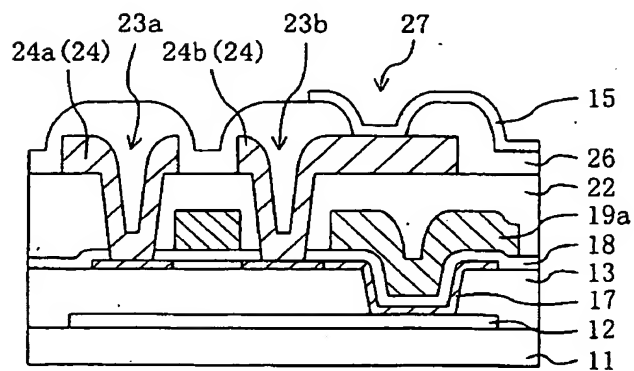


도면 3b

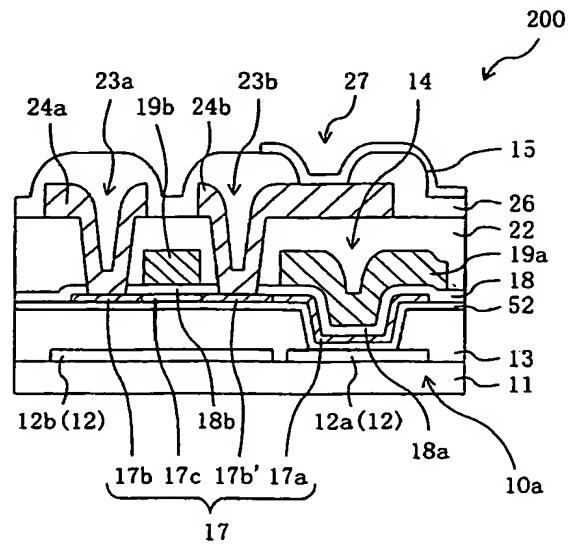


도면 3c

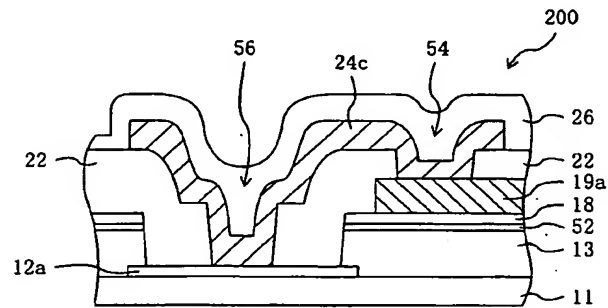




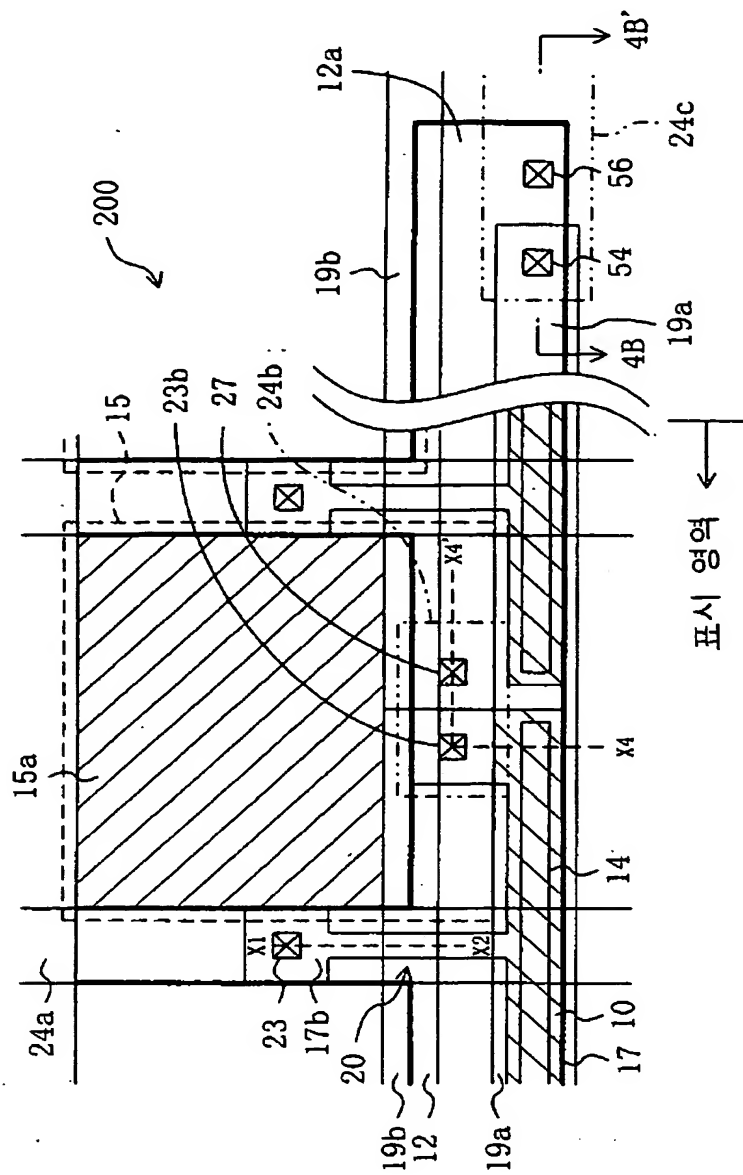
도면 4a

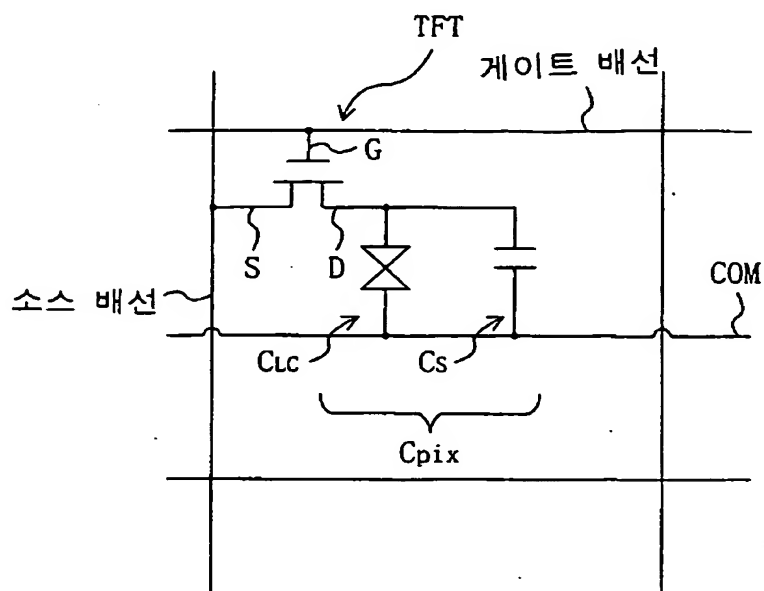


도면 4b

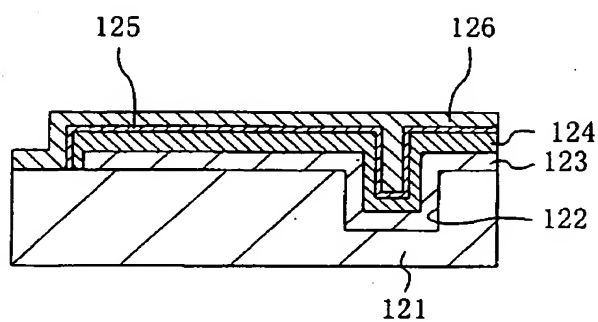


도면 5

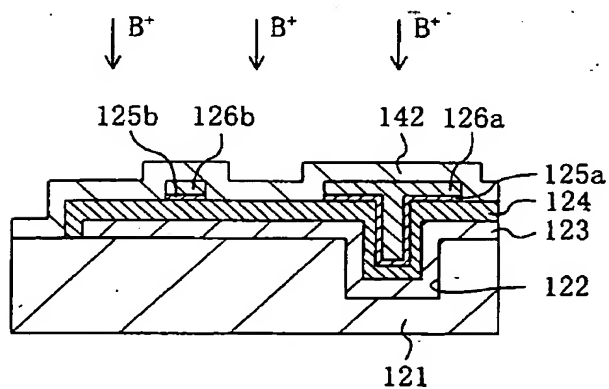




도면 7a



도면 7b



도면 7c

